

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-322280
(P2000-322280A)

(43)公開日 平成12年11月24日 (2000.11.24)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコト [*] (参考)
G 06 F 11/10	3 3 0	G 06 F 11/10	3 3 0 Q 5 B 0 0 1
H 03 M 13/00		H 03 M 13/00	5 J 0 6 5
H 04 L 1/00		H 04 L 1/00	Z 5 K 0 1 4

審査請求 未請求 請求項の数2 O.L (全4頁)

(21)出願番号 特願平11-130903

(22)出願日 平成11年5月12日(1999.5.12)

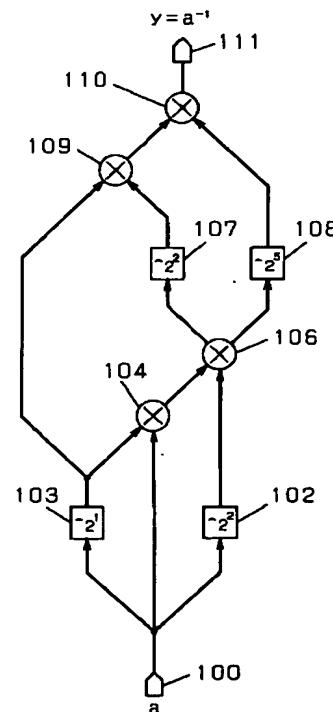
(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 花木 義孝
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 100097445
弁理士 岩橋 文雄 (外2名)
Fターム(参考) 5B001 AA11 AB02 AC01
5J065 AC01 AD11 AF01 AF03 AG01
AH03
5K014 AA05 BA08 EA01 EA02

(54)【発明の名称】 ガロア体演算方法

(57)【要約】

【課題】 ガロア体の逆元を生成するガロア体演算器を実現するにあたり、高速なパイプライン動作を実現しつつ、回路規模の小さなガロア体演算器を実現することを目的とする。

【解決手段】 図1に示すようなガロア体演算の乗算器によるランダムロジックによって、逆元ROMを用いることなく、ガロア体GF(2⁸)上の逆元を生成する。これにより、ROMを用いることがないので、スループットの高い、高速なガロア体演算をすることができるという効果がある。



1.

【特許請求の範囲】

【請求項1】 第1のガロア体の元を2乗して第2のガロア体の元を生成するステップと、
 前記第1のガロア体の元を4乗して第3のガロア体の元を生成するステップと、
 前記第1、第2のガロア体の元とをガロア体乗算して第4のガロア体の元を生成するステップと、
 前記第3、第4のガロア体の元とをガロア体乗算して第5のガロア体の元を生成するステップと、
 前記第5のガロア体の元を4乗して第6のガロア体の元を生成するステップと、
 前記第5のガロア体の元を32乗して第7のガロア体の元を生成するステップと、
 前記第2、第6のガロア体の元とをガロア体乗算して第8のガロア体の元を生成するステップと、
 前記第7、第8のガロア体の元とをガロア体乗算して前記第1のガロア体の元の逆元を生成するステップとを備えることを特徴とするガロア体演算方法。

【請求項2】 請求項1記載のガロア体演算方法において、

第10のガロア体の元を入力し、第2のガロア体の元とガロア体乗算を行い、新たな第2のガロア体の元を生成するガロア体乗算ステップを更に備えることを特徴とするガロア体演算方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】蓄積装置、情報通信などの分野において、誤り訂正符号に関する技術の応用が盛んである。本発明は、誤り訂正符号として有力なリード・ソロモン符号の復号・符号化に必要となる、ガロア体演算方法に関するものである。

【0002】

【従来の技術】従来、ガロア体GF(2^n)上の逆元生成器は、逆元ROMと呼ばれるROMを用いて構成されていた。逆元ROMには、ガロア体上の逆元がデータとして格納されている。

【0003】図2に、従来のガロア体上の逆元生成器の構成を示す。図2において、100は入力端子、111は出力端子、112は逆元ROMである。

【0004】図3の構成によるガロア体逆元生成器の動作を、以下に説明する。まず、ガロア体演算方法への入力が逆元ROM112に入力され、その逆元が逆元ROM112から出力され、端子111から出力される。

【0005】従来の構成では、以上のようにして、ガロア体逆元生成器を得ていた。

【0006】図4に、従来のガロア体除算器の構成を示す。図4において、100、101は入力端子、111は入力端子、112は端子101から入力されたガロア体GF(2^8)上の逆数を出力する逆元ROM、114は端子110からの入力と逆元ROM112の出力を

乗ずるガロア体乗算器である。

【0007】図4の構成によるガロア体除算器の動作を、以下に説明する。まず、ガロア体演算方法へ除数として与えられた入力bが逆元ROM112に入力され、その逆元b'(-1)が逆元ROM112から出力される。ガロア体乗算器114では、逆元ROMから出力された除数の逆元b'(-1)と端子100から入力された被除数aとを乗すことによってガロア体除算の結果b/aが生成され、端子111から出力される。

【0008】従来の構成では、以上のようにして、ガロア体除算器を得ていた。

【0009】

【発明が解決しようとする課題】以下に、従来のガロア体演算方法の構成における課題について論ずる。従来の構成では、ガロア体上の逆元を生成するため、あるいは、ガロア体上の除算を実行するためには、ガロア体上の逆元を記憶したROMが必要であった。そのため、ガロア体演算方法にパイプライン構造をもたせて、ROMのアクセス速度以上のスループットを実現するには、複数のROMをインターリーブさせる必要があり、高速なパイプライン動作を実現しつつ回路規模の小さなガロア体演算方法を得るのが困難である、という課題があった。また、ガロア体の原始多項式に対応した逆元ROMが必要であるため、複数の原始多項式に対応するには、原始多項式の数と同数の逆元ROMが必要となる。そのため、複数の原始多項式に対応しつつ回路規模の小さなガロア体演算方法を得るのが困難である、という課題があった。また、ガロア体上の逆元を記憶するための専用ROMを実装する必要があるため、ゲートアレイや

FPGAなどに実装するのが困難である、という課題があった。

【0010】本発明は、上記のような従来の課題を解決するものであり、ガロア体上の逆元の生成、あるいは、ガロア体上の除算をおこなうガロア体演算方法を実現するにあたり、高速なパイプライン動作を実現しつつ回路規模の小さなガロア体演算方法を提供すること、および、複数の原始多項式に対応しつつお回路規模の小さなガロア体演算方法を提供すること、および、ゲートアレイやFPGAなどにも容易に実装可能なガロア体演算方法を提供することを目的とする。

【0011】

【課題を解決するための手段】この目的を達成するために、本発明の請求項1、および請求項2記載のガロア体演算方法は、ガロア体GF(2^8)上の元を入力する端子と、ガロア体2乗回路と、ガロア体4乗回路と、ガロア体32乗回路と、4つのガロア体乗算回路と、出力端子とで構成されることを特徴とする。

【0012】この構成では、回路がランダムロジックで構成されるため、容易にガロア体演算方法にパイプライン構造を持たせることができる。すなわち、スループッ

3.

トの高いガロア体演算パイプラインを実現可能である。

【0013】また、この構成では、逆元ROMを必要とせず、回路面積の大部分はガロア体乗算器で占められるが、ガロア体乗算器は回路規模をさほど増大させることなく対応する原始多項式の数を増加させ得る。このため、複数の原始多項式に対応しつつ、回路面積の小さなガロア体演算方法を構成することが可能である。

【0014】また、この構成では、逆元ROMを必要とせず、ゲートアレイやFPGAへの実装が容易である。

【0015】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0016】(実施の形態1) 図1は、本実施の形態1のガロア体演算方法の構成を示すブロック図である。図1のガロア体演算方法は、ガロア体上の逆元を生成する。

【0017】図1において、100はガロア体GF(2⁸)上の元aを入力する端子、102は端子100からの入力aを4乗するガロア体4乗回路、103は端子100からの入力aを2乗するガロア体2乗回路、104は端子100からの入力aとガロア体2乗回路103からの出力(a⁻⁴)を乗ずるガロア体乗算器、106はガロア体4乗回路102からの出力(a⁻⁴)とガロア体乗算器104からの出力(a⁻³)を乗ずるガロア体乗算器、107はガロア体乗算器106の出力(a⁻⁷)を4乗するガロア体4乗回路、108はガロア体乗算器106の出力(a⁻⁷)を32乗するガロア体32乗回路、109はガロア体2乗回路103の出力(a⁻²)とガロア体4乗回路107の出力(a⁻²⁸)を乗ずるガロア体乗算器、110はガロア体32乗回路108の出力(a⁻²²⁴)とガロア体乗算器109の出力(a⁻³⁰)を乗ずるガロア体乗算器、111はガロア体乗算器110の出力(a⁻²⁵⁴=a⁻⁽⁻¹⁾)を出力する端子である。

【0018】以上のように構成された実施の形態1のガロア体演算方法の動作を、以下に説明する。まず、ガロア体GF(2⁸)上の元aが端子100から入力され、ガロア体4乗回路102においてa⁻⁴が生成され、ガロア体2乗回路103においてa⁻²が生成され、ガロア体乗算器104においてa⁻³が生成され、ガロア体乗算器106においてa⁻⁷が生成され、ガロア体4乗回路107においてa⁻²⁸が生成され、ガロア体32乗回路108においてa⁻²²⁴が生成され、ガロア体乗算器109においてa⁻³⁰が生成され、ガロア体乗算器110においてa⁻²⁵⁴が生成され、端子111から出力される。これはガロア体演算方法の入力aの逆数a⁻⁽⁻¹⁾に等しい。

【0019】以上のようにして、本発明の実施の形態1のガロア体演算方法では、ガロア体GF(2⁸)上の逆数を得る。

4

【0020】ここで、以上の構成において、演算遅延を考慮して、適切な場所にラッチを挿入することにより、パイプライン動作をさせ、スループットを向上させることができる。よって逆元ROMを用いた場合に比べ、スループットは向上するという効果がある。

【0021】(実施の形態2) 図2は、本実施の形態2のガロア体演算方法の構成を示すブロック図である。図2のガロア体演算方法は、ガロア体GF(2⁸)上の除算をおこなう。

10 【0022】図2において、100はガロア体GF(2⁸)上の元aを入力する端子、101はガロア体GF(2⁸)上の元bを入力する端子、102は端子100からの入力aを4乗するガロア体4乗回路、103は端子100からの入力aを2乗するガロア体2乗回路、104は端子100からの入力aとガロア体2乗回路103からの出力(a⁻⁴)を乗ずるガロア体乗算器、106はガロア体4乗回路102からの出力(a⁻⁴)とガロア体乗算器104からの出力(a⁻³)を乗ずるガロア体乗算器、105は端子101からの入力bとガロア体乗算器103の出力(a⁻²)とを乗ずるガロア体乗算器、107はガロア体4乗回路102からの出力(a⁻⁴)とガロア体乗算器104からの出力(a⁻³)を乗ずるガロア体乗算器、108はガロア体乗算器106の出力(a⁻⁷)を4乗するガロア体4乗回路、109はガロア体乗算器106の出力(a⁻⁷)を32乗するガロア体32乗回路、110はガロア体2乗回路103の出力(a⁻²)とガロア体4乗回路107の出力(a⁻²⁸)を乗ずるガロア体乗算器、111はガロア体32乗回路108の出力(bxa⁻²²⁴)とガロア体乗算器109の出力(bxa⁻³⁰)を乗ずるガロア体乗算器、112はガロア体乗算器110の出力(bxa⁻²⁵⁴=b/a)を出力する端子である。

【0023】以上のように構成された実施の形態1のガロア体演算方法の動作を、以下に説明する。まず、ガロア体GF(2⁸)上の元aが端子100から入力され、ガロア体4乗回路102においてa⁻⁴が生成され、ガロア体2乗回路103においてa⁻²が生成され、ガロア体乗算器104においてa⁻³が生成され、ガロア体乗算器105においてbxa⁻²が生成され、ガロア体乗算器106においてa⁻⁷が生成され、ガロア体4乗回路107においてa⁻²⁸が生成され、ガロア体32乗回路108においてa⁻²²⁴が生成され、ガロア体乗算器109においてbxa⁻³⁰が生成され、ガロア体乗算器110においてbxa⁻²⁵⁴が生成され、端子111から出力される。これはb/aに等しい。

【0024】以上のようにして、本発明の実施の形態2のガロア体演算方法では、ガロア体GF(2⁸)上の除算をおこなう。

【0025】ここで、以上の構成において、演算遅延を考慮して、適切な場所にラッチを挿入することにより、パイプライン動作をさせ、スループットを向上させるこ

とができる。よって逆元ROMを用いた場合に比べ、スループットは向上するという効果がある。

【0026】

【発明の効果】以上のように、本発明によれば、入力する端子と、ガロア体2乗回路と、ガロア体4乗回路と、ガロア体32乗回路と、5つのガロア体乗算回路と、出力端子とを備えることにより、容易にパイプライン化が可能で、回路規模を増大させることなく複数の原始多項式に対応可能で、ゲートアレイやFPGAへの実装も容易なガロア体演算方法を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係るガロア体逆元生成器の構成を示すブロック図

【図2】本発明の実施の形態2に係るガロア体除算器の構成を示すブロック図

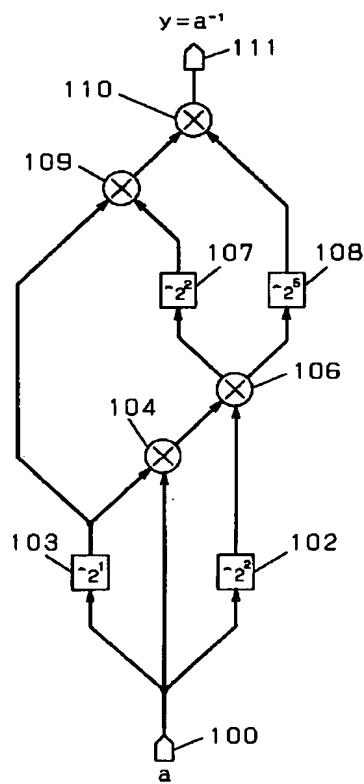
【図3】従来のガロア体逆元生成器の構成を示すブロック図

【図4】従来のガロア体除算器の構成を示すブロック図

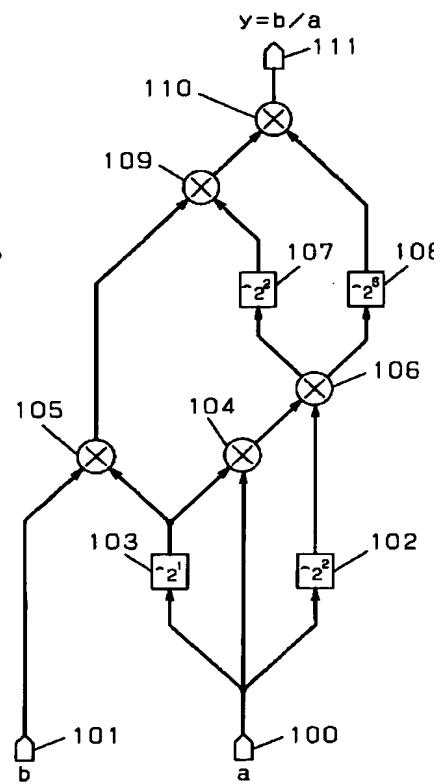
【符号の説明】

- 100～101 入力端子
- 102 ガロア体4乗回路
- 103 ガロア体2乗回路
- 104～106 ガロア体乗算器
- 107 ガロア体4乗回路
- 108 ガロア体32乗回路
- 109～110 ガロア体乗算器
- 111 出力端子
- 112 逆元ROM
- 113 ガロア体乗算器

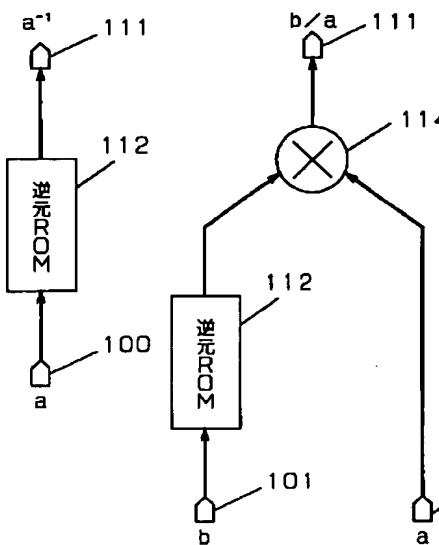
【図1】



【図2】



【図3】



【図4】

